

4/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

007709755 **Image available**

WPI Acc No: 1988-343687/ 198848

Clock frequency multiplier circuit for VLSI - comprises combination of
clock delay circuits and exclusive-OR circuits NoAbstract Dwg 2/5

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 63258112	A	19881025	JP 8792329	A	19870415	198848 B

Priority Applications (No Type Date): JP 8792329 A 19870415

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 63258112	A	10		

Title Terms: CLOCK; FREQUENCY; MULTIPLIER; CIRCUIT; VLSI; COMPRISE;
COMBINATION; CLOCK; DELAY; CIRCUIT; EXCLUSIVE-OR; CIRCUIT; NOABSTRACT

Derwent Class: U22

International Patent Class (Additional): H03K-005/00

File Segment: EPI

4/5/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02641212 **Image available**

MULTIPLIER CIRCUIT

PUB. NO.: 63-258112 A]

PUBLISHED: October 25, 1988 (19881025)

INVENTOR(s): MURAKAMI NORIO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-092329 [JP 8792329]

FILED: April 15, 1987 (19870415)

INTL CLASS: [4] H03K-005/00; H03K-005/13

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JOURNAL: Section: E, Section No. 718, Vol. 13, No. 78, Pg. 46,
February 22, 1989 (19890222)

ABSTRACT

PURPOSE: To improve the duty of a two-multiple clock by providing a delay circuit section obtaining plural delay clocks, an exclusive OR circuit section generating double frequency, a detection section detecting the operating time of the delay circuit section and a selector selecting the clock in response to the delay time.

CONSTITUTION: Delay clocks CKD1-CKD3 are extracted from even number of positions of inverters connected in series by a delay circuit section 1 receiving the input clock CK. A multiple clock generating circuit section 6 consists of an exclusive OR circuit 6 to generate two-multiple clocks CK2F1-CK2F3 with difference duty from the clock CK and the clock CKD. A delay time detection section 7 detects the real delay time of each inverter of the circuit section 1. A selector 8 selects a 2-multiple clock CK2F2 when the detected operating speed of the inverter is a standard value. When the operating speed is not the standard value, the clock CK2F1 or 3 is selected depending on the delay time. Thus, even with the dispersion of the propagation delay time of the inverter, the two-multiple frequency clock with improved duty is obtained.

④日本国特許庁 (JP)

①特許出願公開

④公開特許公報 (A)

昭63-258112

⑤Int.Cl.

H 03 K 5/00
5/13

識別記号

厅内整理番号

7631-5J
7631-5J

④公開 昭和63年(1988)10月25日

審査請求 未請求 発明の数 1 (全6頁)

③発明の名称 通倍回路

②特許 昭62-92329

②出願 昭62(1987)4月15日

③発明者 村上 典生 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

④出国人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑤代理人 弁理士 森田 寛 外1名

明細書

1. 発明の名称

通倍回路

2. 特許請求の範囲

遅延用ゲート回路を直列接続し、その動作時間を利用して入力クロックを遅延させ、この遅延された遅延クロックと元の入力クロックとから2倍の周波数のクロックを生成する基積回路の通倍回路において、

遅延用ゲート回路で構成された該遅延用ゲート回路の複数の位置から抽出し、入力クロックを遅延させた遅延クロックを複数個出力する遅延回路部 (1) と、

該遅延回路部 (1) から抽出された上記遅延クロック毎に元の入力クロックとそれぞれ併他の位相和をとり、入力クロックの2倍の周波数のクロックをそれぞれ出力する2通倍クロック発生回路部 (6) と、

該遅延回路部 (1) で抽出された各遅延クロックと元の入力クロックとから該遅延回路部 (1) を構成する遅延用ゲート回路の遅延時間を検出する遅延時間検出部 (7) と

該遅延時間検出部 (7) で検出された遅延用ゲート回路の遅延時間に応じて、上記2通倍クロック発生回路部 (6) で生成された2倍の周波数のクロックを選択するセレクタ (8) とを備え、各遅延用ゲート回路の動作時間のばらつきの如何にかかわらず、2通倍クロックのデューティを改善するようにしたことを特徴とする通倍回路。

3. 発明の詳細な説明

(概要)

遅延素子を用いた遅延回路と併他の論理回路とを用いて2倍の周波数のクロックを発生させる基積回路の通倍回路において、複数個の遅延クロックを得る遅延回路部と、該遅延クロックと入力クロックとから2倍の周波数を生成する併他の論

理和回路部と、遅延回路部を構成する遅延用ゲート回路の動作時間を検出する遅延時間検出部と、遅延回路部の遅延用ゲート回路の遅延時間に応じ、生成された2倍の周波数のクロックを選択するセレクタとを設け、遅延用ゲート回路の動作速度のばらつきによる2倍クロックのデューティを改善するようにしたものである。

(産業上の利用分野)

本発明は、遅延回路、特に大規模回路向けの遅延回路に関するものである。

(従来の技術)

通常の分野では、入力するクロックの周波数を2倍上げて、例えばCM1(Code Bark Inversion)符号回路に使用している。この場合、クロックを遅延させるためにディレイ・ラインを用いる場合もあるが、コスト、小型化の観点からすると、この方法は得策ではなく、製造容易な遅延素子となり得る。例えばインバータ等を集積回路に実現

することが可能である。

第4図、第5図は従来の遅延回路構成とそのタイムチャートを示しており、第4図において、1-1, 1-2, ..., 1-2Nはインバータ、2は論理的論理回路、3は入力端子、4は出力端子、5はフリップ・フロップ回路を表している。

入力端子3に入力された入力クロックCKは、偶数個のインバータ1-1ないし1-2Nによって第5図(3)図示の如く遅延され、該遅延クロックCKDと元の入力クロックCKとが論理的論理回路2で論理的論理和がとられると、第5図(5)図示の如く入力クロックCKの2倍の周波数のクロックCK2Fが出力端子4へ出力される。

(発明が解決しようとする問題)

第4図に示された様な回路構成では、インバータ1-1ないし1-2Nによる伝達遅延時間がインバータ1個の標準動作時間に基づき、入力クロックCKの周期の1/4の位相分遅延させるインバ

ータの組合で構成されているので(インバータの接続はその動作上偶数個が選ばれる)、個々のインバータの動作時間が規格値内に製造されても、そのばらつきのためインバータ1-1ないし1-2Nの累積遅延時間が第5図(3)図示の標準遅延時間に対し、例えば1.5倍高いは0.5倍になることがあり、得られた2倍クロックCK2Fが次段のフリップ・フロップ回路5等を動作させるクロックを得られない欠点があった。

第5図(4)はインバータ1-1ないし1-2Nの遅延時間が第5図(3)図示の標準遅延時間に比べ1.5倍遅れているときの2倍クロックCK2Fのタイムチャートであり、"L"レベルのパルス幅が狭くなり、次段のフリップ・フロップ回路5を動作させるに必要な"l"レベルの最小パルス幅以下になり、該フリップ・フロップ回路5が動作しなくなる限界を示している。

また逆に、第5図(5)はインバータ1-1ないし1-2Nの遅延時間が第5図(3)図示の標準遅延時間に比べ0.5倍高いときの2倍クロック

CK2Fのタイムチャートであり、"H"レベルのパルス幅が狭くなり、次段のフリップ・フロップ回路5を動作させるに必要な"l"レベルの最小パルス幅以下になり、該フリップ・フロップ回路5が動作しなくなる限界を示している。

そのため、各インバータ1-1ないし1-2Nの伝達遅延時間が標準値に対し作動限界の±30%以上のずれを生じたときにも異常出力を不発生とすることができないようにフリップ・フロップ回路5等を作動させることのできるデューティの狭れた2倍クロックを発生させ、製造上のばらつきによる不良品発生を回避可能な遅延回路が望まれる。

(問題点を解決するための手段)

第1図は本発明に係る遅延回路の最適構成図を示しており、1は遅延回路部、6は2倍クロック発生回路部、5-1ないし6-3は論理的論理回路部、7は遅延時間検出部、8はセレクタを表している。符号3, 4は第4図のものに対応して

いる。

遅延回路部1は集積回路上で製造容易なゲート回路、例えばインバータで入力端子3に入力された入力クロックCKを遅延させる回路であり、直列に接続されたインバータの構成個の位置から遅延クロックCKD1、CKD2、CKD3がそれぞれ抽出される構成となっている。遅延クロックCKD2は入力端子3に入力される入力クロック回路の論理上1/4周波数の位相遅れとされる構成個のインバータの位置から抽出され、遅延クロックCKD1は該遅延クロックCKD2の0.5倍の位置から抽出され、また遅延クロックCKD3は該遅延クロックCKD2の1.5倍の位置から抽出されるようになっている。これらの遅延クロックCKD1、CKD3は、第4回で説明したフリップ・フロップ回路5がそれぞれ作動する時刻パルス幅となる理路上の遅延クロックと考えてよい。

遅延クロック発生回路部6は構造的論理和回路6-1ないし6-3から成り、入力端子3に入力される元の入力クロックCKと、上記遅延回路部

-3で元の入力クロックCKと構造的論理和がそれぞれとられ、パルス幅、すなわちデューティを真にする入力クロックCKの2倍の周波数のクロックCK2F1ないしCK2F3が、該2倍クロック発生回路部6で生成される。

一方遅延時間検出部7では、遅延回路部を構成するインバータの動作速度を検出しておき、該遅延回路部1に作られたインバータの動作速度が標準値であれば、構造的論理和回路6-2で生成された2倍クロックCK2F2を選択するセレクタ回路信号をセレクタ8へ出力する。また遅延回路部1に作られたインバータの動作速度が標準値より遅くなっているときには、遅延時間検出部7は、構造的論理和回路6-3で生成された2倍クロックCK2F3を選択するセレクタ回路信号をセレクタ8へ出力し、遅延回路部1に作られたインバータの動作速度が標準値より遅くなっているときには、遅延時間検出部7は、構造的論理和回路6-1で生成された2倍クロックCK2F1を選択するセレクタ回路信号をセレクタ8

から抽出された遅延クロックCKD1ないしCKD3とからデューティを真にする2倍のクロックをそれぞれ発生させる回路である。

遅延時間検出部7は集積回路で作られた遅延回路部1の各インバータの実遅延時間を検出し、上記2倍クロック発生回路部6で発生している2倍クロックのどのクロックを選定するかを定める回路である。

セレクタ8は遅延時間検出部7で検出された遅延回路部1の遅延クロックCKD1ないしCKD3実遅延時間に応じ、2倍クロック発生回路部6で発生している2倍クロックの出力種類を定める回路である。

(作用)

入力端子3に入力された入力クロックCKは遅延回路部1で遅延され、遅延クロックCKD1ないしCKD3が出力される。これらの遅延クロックCKD1ないしCKD3は、2倍クロック発生回路部6内の構造的論理和回路6-1ないし6

へ出力する。

從って遅延回路部1に作られるインバータの任職遅延時間のバラツキがあっても、遅延時間検出部7で実際のその任職遅延時間を検出し、その遅延時間に応じて2倍クロック発生回路部6で生成された2倍クロックCK2F1ないしCK2F3の中から最適のクロックが選択され、出力端子4にはデューティの改善された2倍の周波数のクロックCK2Fが出力される。

(実施例)

以下図面を参照しつつ本発明の一実施例を説明する。

第2図は本発明に係る遅延回路の一実施例構成、第3図はそのタイムチャートを示している。

第2図において、符号1、6-1ないし6-3、8は第1図のものに対応し、3、4は第4図のものに対応している。符号9ないし17はフリップ・フロップ回路、18ないし26は NAND・ゲートを表している。

遷延回路部1には、入力端子3に入力される入力クロックCKの周期に対し論理上1/4の位相分遷延するインバータの偶数個の位置のから抽出された遷延クロックCKD2、該遷延クロックCKD2に対し更に+50%遷延するインバータの偶数個の位置のから抽出された遷延クロックCKD3、及び該遷延クロックCKD2に対し-50%遷延が少ないインバータの偶数個の位置のから抽出された遷延クロックCKD1が出力されるようになっている。

入力端子3に入力された周波数1の入力クロックCKは、遷延回路部1内の直列に接続されたインバータを伝搬してゆく。このとき偶数個のインバータの位置①、③、⑤からそれぞれ抽出された遷延クロックCKD1、CKD2、CKD3と、元の入力クロックCKとが論理的論理和回路6-1、6-2、6-3にそれぞれ入力し、第3回図示の如くパルス幅を異にする2遷延クロックCK2F1、CK2F2、CK2F3が作成される。これらの2遷延クロックCK2F1、CK2F2、

CK2F3はセレクタ8にそれぞれ入力される。遷延回路部1を構成する各インバータが標準の動作速度で作動するとき、 NAND・ゲート21ないし23とフリップ・フロップ回路11、12、16の回路系統が作動し、セレクタ8は論理的論理和回路6-2の2遷延クロックCK2F2を選択する。すなわち、第3回(A)図示のタイムチャートにおいて、 NAND・ゲート22の出力CLR2により、フリップ・フロップ回路11、12がそれぞれリセットされる。その後NAND・ゲート21を介して得られるクロックCK2により、フリップ・フロップ回路11のデータが次段のフリップ・フロップ回路12へ転送され、フリップ・フロップ回路11に“H”のデータが入れられる。フリップ・フロップ回路11に“H”のデータが入れられ、かつフリップ・フロップ回路12に“L”のデータが入れられたとき、 NAND・ゲート23を介してフリップ・フロップ回路16に“L”が入力され、これによりセレクタ8は論理的論理和回路6-2の2遷延クロックCK2F2

を選択する。

遷延回路部1を構成する各インバータが標準の動作速度より遅くその最大遷延動作速度で作動するとき、第3回(B)図示の如くNAND・ゲート19の出力CLR3の“L”側のパルス幅が広がり、フリップ・フロップ回路9、10に対しリセットを掛けている時間が長くなると共に、 NAND・ゲート18を介してフリップ・フロップ回路9、10に入力されるクロックCK3の“L”側のパルス幅がこれらのフリップ・フロップ回路9、10を動作させるのに必要な最小パルス幅より小さくなる。このときはフリップ・フロップ回路9、10は常に“L”となる。この状態を検出するNAND・ゲート20の出力によってはフリップ・フロップ回路15に“L”的データが入れられる。該フリップ・フロップ回路15が“L”でフリップ・フロップ回路16が“H”的条件で、セレクタ8は論理的論理和回路6-1の出力を選択する。すなわち遷延回路部1の遷延時間の小さい位置のから抽出された遷延クロックCKD1を基に作成される2遷延クロック

される2遷延クロックCK2F1を出力する。

遷延回路部1を構成する各インバータが標準の動作速度より遅くその最小遷延動作速度で作動するとき、第3回(C)図示の如く、 NAND・ゲート25の出力CLR1の“L”側のパルス幅は狭くなり、 NAND・ゲート24を介してフリップ・フロップ回路13、14に入力されるクロックCK1の“L”側のパルス幅は広くなる。このCLR1の“L”側のパルス幅がフリップ・フロップ回路13、14に対しリセットを掛けるに必要な最小パルス幅より小さくなるため、該フリップ・フロップ回路13、14は常に“H”的状態となる。この状態を検出するNAND・ゲート26の出力によって、フリップ・フロップ回路17に“L”的データが入れられる。該フリップ・フロップ回路17が“L”でフリップ・フロップ回路15が“H”的条件でセレクタ8は論理的論理和回路6-3の出力を選択する。すなわち遷延回路部1の遷延時間の大きい位置のから抽出された遷延クロックCKD3を基に作成される2遷延クロック

K2F3を出力する。

遅延回路部1の遅延素子として入出力反転回路のインバータを2個単位で取扱っているが、該2個単位のインバータに換え、入出力が同一符号となるバッファを遅延素子として用いることができる。このときには入出力が同一符号であるので、インバータのときと異なり任意の位置から遅延クロックを抽出することができる。

(発明の効果)

以上説明した如く、本発明によれば、遅延回路部を構成する遅延用ゲート回路の実動作速度に応じて、パルス幅の異なった2遅延クロックをセレクタで適宜選択するように構成したので、製造される遅延用ゲート回路の遅延時間が標準値から+50%または-50%にばらついても、フリップ・フロップ回路等他の要素を駆動可能なパルス幅の2遅延クロックを得ることができ、気候回路の動作不良を緩和することができる。

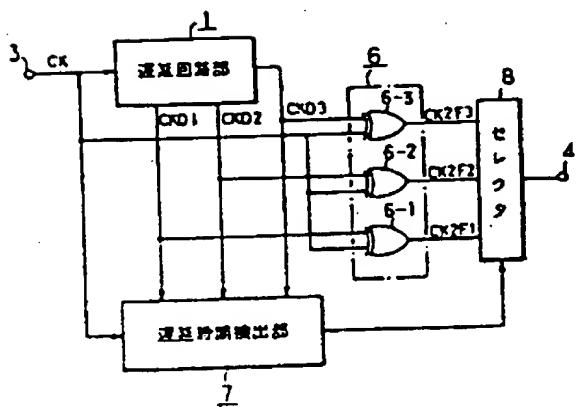
4. 図面の簡単な説明

第1図は本発明に係る遅延回路の原理構成図。第2図は本発明に係る遅延回路の一実施例回路構成。第3図はそのタイムチャート。第4図は従来の回路構成。第5図はそのタイムチャートを示している。

図中、1は遅延回路部、2は操作的論理和回路、6は2遅延クロック発生回路部、6-1、6-2、6-3は操作的論理和回路、1は遅延時間検出部、8はセレクタ、9ないし17はフリップ・フロップ回路、18ないし26は NAND・ゲートを表している。

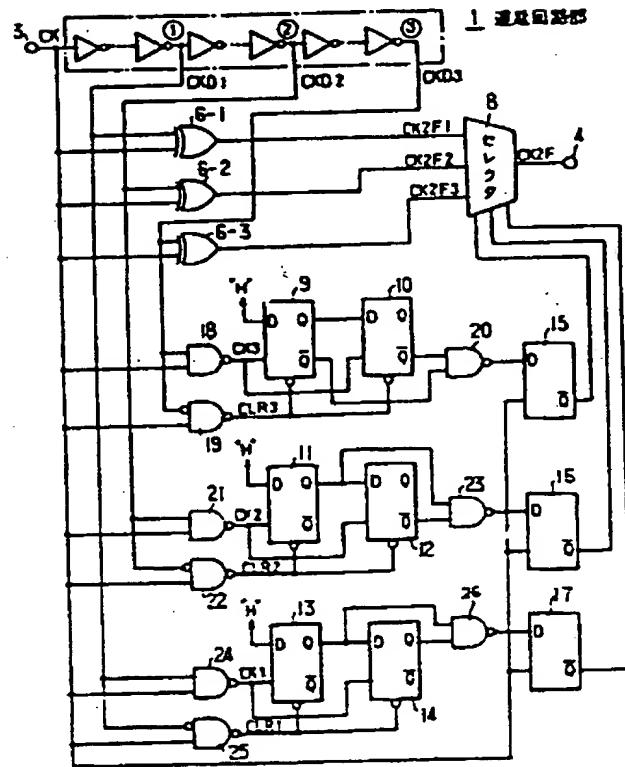
特許出願人 富士通株式会社

代理人 弁理士 長田 実(外1名)



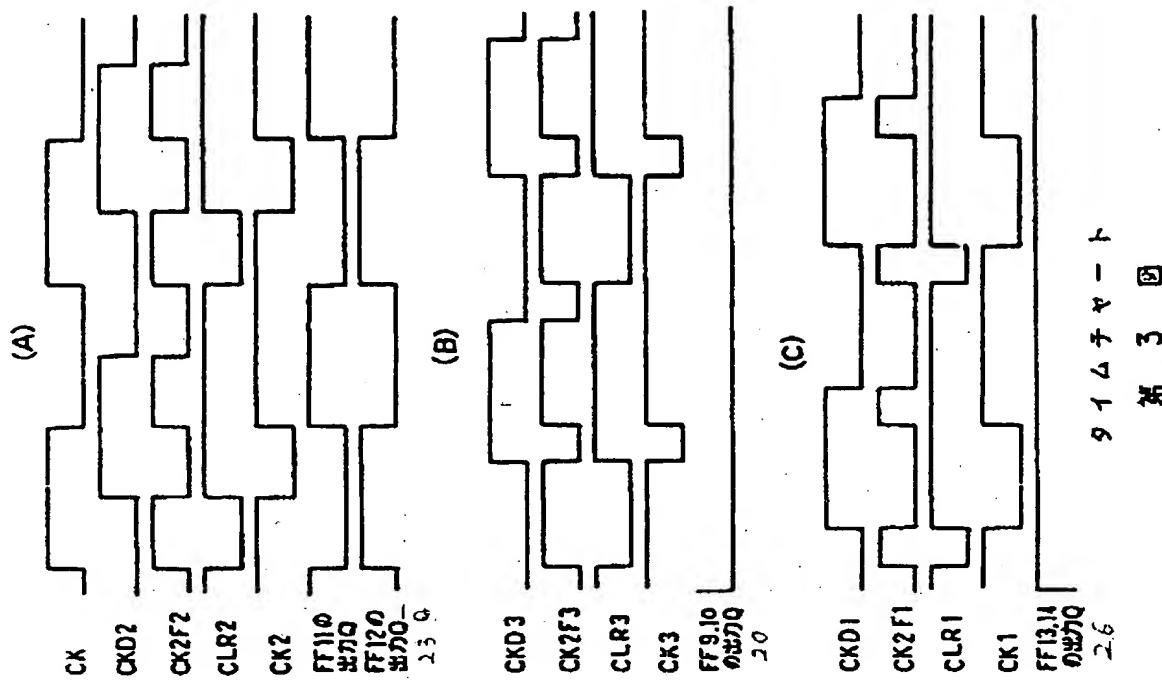
発明の原理構成図

第1図



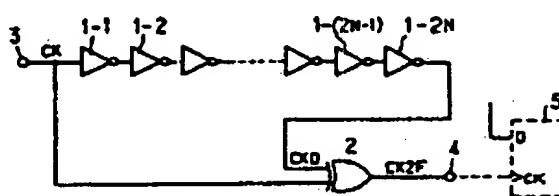
本発明の一実施例回路構成

第2図



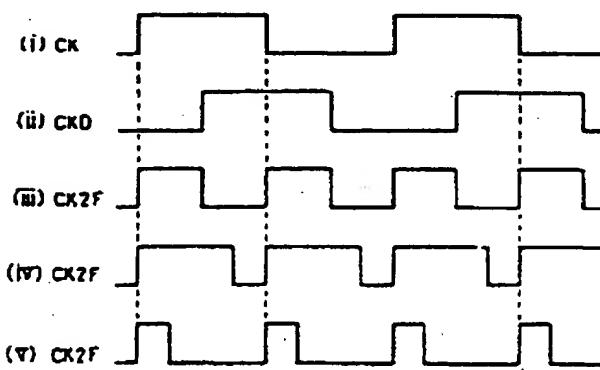
第3図

91ムチャート



従来の回路構成

第4図



従来の回路のタイムチャート

第5図